

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-344395

(43)Date of publication of application : 30.11.1992

(51)Int.Cl.

G11C 11/419

G11C 11/41

(21)Application number : 03-115129

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 21.05.1991

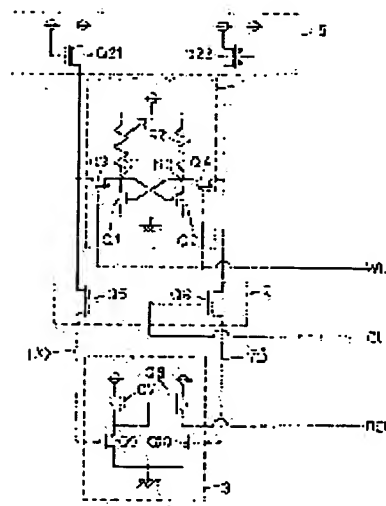
(72)Inventor : ISHIZAKI OSAMU
MATSUO RYUICHI
KOSUGI RYUICHI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To shorten a reading period of the semiconductor storage device.

CONSTITUTION: A bit line loading section 5 connected to the other ends of a bit line pair BL and a bar BL is constituted of N transistors Q21 and Q22, for the transistor Q21 its gate and drain are connected to a power source Vcc(around 5V) and the source is connected to a bit line BL. On the other hand, for the transistor Q22 its gate and drain are connected to a power source Vcc and the source is connected to a bit line bar BL. Then, the threshold voltages VTH 1 of the transistors Q21 and Q22 are set at voltages (around 1.0V) higher than the usual threshold voltage VTH(around 0.5V) of an N channel transistor. The potentials of one end(I/O line) and the other end(bar I/O line) of a current mirror type sense amplifier 3 are precharged in an optimum sensitivity area and the reading period is shortened by operating the above-mentioned sense amplifier at a high speed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

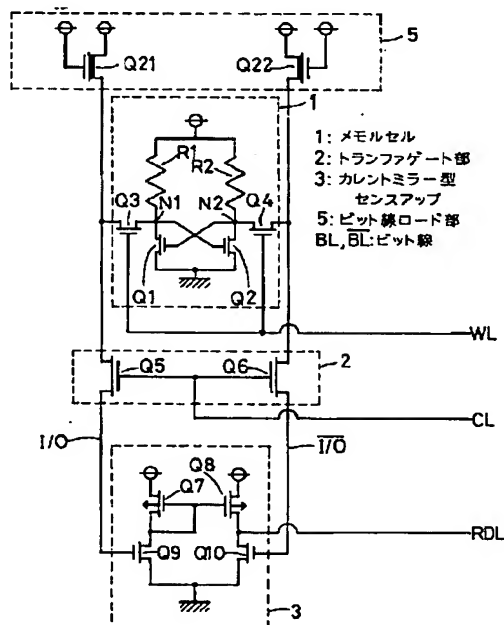
[Date of extinction of right]

(11)特許出願公開番号

(43)公開日 平成4年(1992)11月30日

審査請求 未請求 請求項の数1(全 8 頁)

(74)代理人 弁理士 高田 守 (外1名)



【特許請求の範囲】

【請求項1】 データを記憶するメモリセルと、読み出し時に、選択された前記メモリセルに電氣的に接続されることにより、該メモリセルの記憶内容に基づき、その一方と他方との間に電位差が生じるビット線対と、読み出し時に、一方端及び他方端がそれぞれ前記ビット線対の一方及び他方に電氣的に接続され、前記一方端と前記他方端との電位差を増幅して読み出しデータを出力するカレントミラー型センスアンプと、前記ビット線対に接続され、読み出し時に、前記カレントミラー型センスアンプの前記一方端及び前記他方端の電位が、前記カレントミラー型センスアンプの最適感度領域に近づくように、前記ビット線対のプリチャージ電位設定を行うビット線ロード部とを備えた半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は読み出し時間の短縮化を図った半導体記憶装置に関する。

【0002】

【従来の技術】 図6は従来のSRAMの基本構成を示す回路図である。同図に示すように、高抵抗負荷型のメモリセル1が、高抵抗付加素子である抵抗R1、R2及びドライバートランジスタであるNチャネルトランジスタQ1、Q2から構成される。メモリセル1内の電源、接地間において、直列に接続された抵抗R1及びトランジスタQ1が介挿されるとともに、直列に接続された抵抗R2及びトランジスタQ2が介挿される。そして、抵抗R1、トランジスタQ1間のノードN1がトランジスタQ2のゲートに接続され、抵抗R2、トランジスタQ2間のノードN2がトランジスタQ1のゲートに接続される。

【0003】 このように構成することにより、一度メモリセル1にデータが書き込まれると、次に書き込まれるまでメモリセル1内のノードN1とノードN2とで互いに反転した論理出力が現れ、メモリセル1はスタティックにデータを記憶することができる。

【0004】 メモリセル1のノードN1は、アクセストランジスタであるNチャネルトランジスタQ3を介してビット線BLに接続され、ノードN2はアクセストランジスタであるNチャネルトランジスタQ4を介してビット線バーBLに接続される。そして、これらのビット線BL及びビット線バーBLにより1組のビット線対BL、バーBLを構成する。なお、トランジスタQ3及びQ4のゲートにはワード線WLが接続される。

【0005】 ビット線対BL、バーBLそれぞれの一端はトランスファゲート部2のNチャネルトランジスタQ5、Q6を介してI/O線対I/O、バーI/Oに接続される。なお、トランジスタQ5及びQ6のゲートにはコラム信号線CLが接続される。

【0006】 I/O線対I/O、バーI/O間にカレン

トミラー型センスアンプ3が介挿される。カレントミラー型センスアンプ3はPチャネルトランジスタQ7、Q8及びNチャネルトランジスタQ9、Q10からなり、電源、接地間において、直列に接続されたトランジスタQ7及びQ9を介挿するとともに、直列に接続されたトランジスタQ8及びQ10を介挿する。そして、トランジスタQ7及びQ8のゲート並びにトランジスタQ7、Q9間を共通に接続することにより、カレントミラーを構成する。

【0007】 そして、トランジスタQ8、Q10間に、読み出しデータ出力用のリードデータ線RDLが接続され、センス用の一方端であるトランジスタQ9のゲートにI/O線I/Oが接続され、センス用の他方端であるトランジスタQ10のゲートにI/O線バーI/Oが接続される。このように構成することにより、カレントミラー型センスアンプ3は一方端と他方端にそれぞれ印加される電圧の電位差を検出して、その増幅値を読み出しデータとして、リードデータ線RDLから出力する。

【0008】 一方、ビット線対BL、バーBLの他端はビット線ロード部4に接続される。ビット線ロード部4は、ゲートとドレインに電源が接続されたNチャネルトランジスタQ11及びQ12から構成され、トランジスタQ11のソースがビット線BLの他端に接続され、トランジスタQ12のソースがビット線バーBLの他端に接続される。

【0009】 図7は図6で示したSRAMの読み出し動作を示す回路図である。以下、同図を参照して読み出し動作の説明を行う。なお、図7はメモリセル1のノードN1がH(1)を、ノードN2がL(0)を記憶している場合、つまり、ノードN1にゲートが接続されるトランジスタQ2がオンし、ノードN2にゲートが接続されるトランジスタQ1がオフする場合を示している。

【0010】 あらかじめ(図7で示すメモリセル選択期間t1以前)、ワード線をLにした状態でコラム信号線CLを所定期間Hレベルにして、トランジスタQ5及びQ6をオンさせ、I/O線I/O、バーI/Oとビット線対BL、バーBLとを電氣的に接続することにより、I/O線対I/O、バーI/Oの電位を(Vcc-2VTH)にプリチャージしておく。なお、VTHは、0.5V程度のNチャネルトランジスタQ1~Q6、Q9~Q12それぞれの閾値電圧を示す。つまり、I/O線I/Oが閾値電圧VTHのトランジスタQ11及びQ5を介してビット線ロード部4の電源に接続され、I/O線バーI/Oが閾値電圧VTHのトランジスタQ12及びQ6を介してビット線ロード部4の電源に接続されることにより、それぞれ(Vcc-2VTH)にプリチャージされる。

【0011】 そして、メモリセル選択期間t1において、ワード線WL及びコラム信号線CLを選択的にHレベルに立ち上げ、最終的にトランジスタQ3~Q6をオンさせ、ビット線対BL、バーBLと選択されたメモリ

3

セル1とを電氣的に接続するとともに、ビット線対BL、バーBLとI/O線I/O、バーI/Oとを電氣的に接続する。

【0012】メモリセル選択期間t1の終了後、ビット線ロード部2から供給される電流が、ビット線バーBL、トランジスタQ4及びQ2を介して接地レベルに流れるため、ビット線バーBLの電位は徐々に低下しはじめる。このとき、トランジスタQ1はオフしているため、ビット線ロード部4からビット線BLを介して接地レベルに電流が流れず、ビット線BLの電位は変化しない。

【0013】そして、ビット線対BL、バーBLの電位差が信号伝播遅延して、I/O線対I/O、バーI/Oの電位差に現れはじめる。最終的にI/O線対I/O、バーI/Oの電位差がカレントミラー型センスアンプ3にて検出可能なレベルまで広がる。

【0014】その後のセンスアンプ読み出し期間t2において、カレントミラー型センスアンプ3の一方端及び他方端にそれぞれ接続されるI/O線I/O及びバーI/Oの電位差を検出して増幅することにより、読み出しデータとしてリードデータ線RDLをHレベル(>VH)に立ち上げ、読み出し動作を完了する。

【0015】カレントミラー型センスアンプ3は、一般的に、電源電圧Vccを5Vとすると、3~3.5V程度に最適感度領域をもつ。したがって、図8に示すように、I/O線対I/O、バーI/Oのプリチャージ電位を($V_{cc}-2V_{TH}-\alpha$ (0.5~1.0V程度))の最適感度領域近傍に設定すると、図6及び図7で示したSRAMに比べ、センスアンプ読み出し時間t2が短くなる。

【0016】

【発明が解決しようとする課題】従来のSRAM等の半導体記憶装置は以上のように構成されており、読み出し動作を、選択されたメモリセル1をビット線対に電氣的に接続し、メモリセル1の記憶内容に基づき生じるビット線対BL、バーBL間の電位差をカレントミラー型センスアンプ3に検出可能なレベルまで広げることにより行っていた。

【0017】しかしながら、I/O線対I/O、バーI/Oのプリチャージは($V_{cc}-2V_{TH}$)の電位で行われており、このレベルはカレントミラー型センスアンプ3の最適感度領域まで達しておらず、カレントミラー型センスアンプ3は最適に動作しないため、センスアンプ読み出し時間t2が必要以上に長くなり、読み出し時間が遅くなるという問題点があった。

【0018】この発明は上記問題点を解決するためになされたもので、読み出し時間の短縮化を図った半導体記憶装置を得ることを目的とする。

【0019】

【課題を解決するための手段】この発明にかかる半導体

4

記憶装置は、データを記憶するメモリセルと、読み出し時に、選択された前記メモリセルに電氣的に接続されることにより、該メモリセルの記憶内容に基づき、その一方と他方との間に電位差が生じるビット線対と、読み出し時に、一方端と他方端がそれぞれ前記ビット線対に電氣的に接続され、前記一方端と前記他方端との電位差を増幅して読み出しデータを出力するカレントミラー型センスアンプと、前記ビット線対に接続され、読み出し時に、前記カレントミラー型センスアンプの前記一方端及び前記他方端の電位が、前記カレントミラー型センスアンプの最適感度領域に近づくように、前記ビット線対のプリチャージ電位設定を行うビット線ロード部とを備えて構成されている。

【0020】

【作用】この発明におけるビット線ロード部は、読み出し時に、カレントミラー型センスアンプのセンス部である一方端及び他方端の電位が、カレントミラー型センスアンプの最適感度領域に近づくように、ビット線対のプリチャージ電位設定を行うため、カレントミラー型センスアンプは従来に比べ、高速にその一方端と他方端の電位差を検知し増幅することができる。

【0021】

【実施例】図1はこの発明の第1の実施例であるSRAMの基本構成を示す回路図である。同図に示すように、ビット線対BL、バーBLの他端に接続されるビット線ロード部5は、NチャネルトランジスタQ21及びQ22から構成され、NチャネルトランジスタQ21はゲートとドレインとが電源Vcc(5V程度)に接続され、ソースはビット線BLに接続される。一方、NチャネルトランジスタQ22はゲートとドレインとが電源Vccに接続され、ソースはビット線バーBLに接続される。

【0022】そして、NチャネルトランジスタQ21及びQ22の閾値電圧は他のNチャネルトランジスタQ1~Q6、Q9及びQ10の閾値電圧VTH(0.5V程度)より大きいVTH1(1.0V程度)に設定される。なお、他の構成は図6で示した従来例と同様であるため説明は省略する。

【0023】図2は図1で示したSRAMの読み出し動作を示すタイミング図である。以下、同図を参照して読み出し動作の説明を行う。なお、図2はメモリセル1のノードN1がH(1)を、ノードN2がL(0)を記憶している場合、つまり、ノードN1にゲートが接続されるトランジスタQ2がオンし、ノードN2にゲートが接続されるトランジスタQ1がオフする場合を示している。

【0024】あらかじめ(図2で示すメモリセル選択期間t1以前)、ワード線WLをLにした状態でコラム信号線CLを所定期間Hレベルにして、トランジスタQ5及びQ6をオンさせ、I/O線I/O、バーI/Oとビット線対BL、バーBLとを電氣的に接続する。その結

果、I/O線I/Oが閾値電圧 V_{TH1} のトランジスタQ21及び閾値電圧 V_{TH} のQ5を介してビット線ロード部4の電源に接続され、I/O線バーI/Oが閾値電圧 V_{TH1} のトランジスタQ22及び閾値電圧 V_{TH} のQ6を介してビット線ロード部4の電源 V_{cc} に接続されることにより、I/O線対I/O、バーI/Oの電位は3.5V程度の($V_{cc}-V_{TH}-V_{TH1}$)にプリチャージされる。

【0025】そして、メモリセル選択期間 t_1 において、ワード線WL及びコラム信号線CLを選択的にHレベルに立ち上げ、最終的にトランジスタQ3~Q6をオンさせ、ビット線対BL、バーBLと選択されたメモリセル1とを電氣的に接続するとともに、ビット線対BL、バーBLとI/O線I/O、バーI/Oとを電氣的に接続する。

【0026】メモリセル選択期間 t_1 の終了後、ビット線ロード部6から供給される電流が、ビット線バーBL、トランジスタQ4及びQ2を介して接地レベルに流れるため、ビット線バーBLの電位は徐々に低下しはじめる。このとき、トランジスタQ1はオフしているため、ビット線ロード部4からビット線BLを介して接地レベルに電流が流れず、ビット線BLの電位は変化しない。

【0027】そして、ビット線対BL、バーBLの電位差が信号伝播遅延して、I/O線対I/O、バーI/Oの電位差に現れはじめる。そして、最終的にI/O線対I/O、バーI/Oの電位差がカレントミラー型センスアンプ3にて検出可能なレベルまで広がる。

【0028】その後のセンスアンプ読み出し期間 t_2 において、カレントミラー型センスアンプ3がI/O線対I/O、バーI/Oの電位差を検出して増幅することにより、読み出しデータとしてリードデータ線RDLをHレベル($>V_H$)に立ち上げ、読み出し動作を完了する。この時、I/O線対I/O、バーI/Oの電位が3.5V程度と、ほぼカレントミラー型センスアンプ3の最適感度領域でプリチャージされているため、カレントミラー型センスアンプ3は高速にI/O線対間の電位差の検出及び増幅動作を行い、比較的短時間でリードデータ線RDLをHレベルに立ち上げる。

【0029】このように、ビット線ロード部5のロードトランジスタであるNチャネルトランジスタQ21及びQ22の閾値電圧を、通常のNチャネルトランジスタよりも大きく設定することにより、I/O線対I/O、バーI/Oのプリチャージ電位を従来より下げ、カレントミラー型センスアンプ3の最適感度領域に近くする。したがって、カレントミラー型センスアンプ3は高速に電位差の検出及び増幅動作を行うことができるため、センスアンプ読み出し時間 t_2 が短くなり、その結果、読み出し時間の短縮化が図れる。

【0030】図3はこの発明の第2の実施例であるSRAMの基本構成を示す回路図である。同図に示すよう

に、ビット線対BL、バーBLの他端に接続されるビット線ロード部6は、通常の閾値電圧 V_{TH} のNチャネルトランジスタQ11、Q12、Q23及びQ24から構成され、ゲートとドレインに電源が接続されたトランジスタQ11は、ゲート、ドレイン共通のトランジスタQ23を介してビット線BLに接続され、ゲートとドレインに電源が接続されたトランジスタQ12はゲート、ドレイン共通のトランジスタQ24を介してビット線バーBLに接続される。なお、他の構成は第1の実施例と同様であるため説明は省略する。

【0031】図4は第2の実施例のSRAMの読み出し動作を示すタイミング図である。同図に示すように、I/O線対I/O、バーI/Oのプリチャージは、I/O線I/Oが閾値電圧 V_{TH} のトランジスタのQ11、Q23及びQ5を介してビット線ロード部6の電源に接続され、I/O線バーI/Oが閾値電圧 V_{TH} のトランジスタQ12、Q24及びQ6を介してビット線ロード部6の電源に接続されることにより行われ、I/O線対I/O、バーI/Oは3.5V程度の($V_{cc}-3V_{TH}$)にプリチャージされる。なお、他の動作は図2で示した第1の実施例の動作とほぼ同様であるため、説明は省略する。

【0032】このように、第2の実施例のSRAMはビット線ロード部6のロードトランジスタを2段で直列に構成することにより、I/O線対I/O、バーI/Oのプリチャージ電位を従来より下げ、ほぼカレントミラー型センスアンプ3の最適感度領域にし、カレントミラー型センスアンプ3に高速に電位差検出及び増幅動作を行わせ、読み出し時間の短縮化を図っている。

【0033】図5はこの発明の第3の実施例であるSRAMの基本構成を示す回路図である。同図に示すように、ビット線対BL、バーBLの他端に接続されるビット線ロード部7は、通常の閾値電圧 V_{TH} のNチャネルトランジスタQ11、Q21、Q25及びQ26から構成され、ゲートとドレインに電源が接続されたトランジスタQ21は、ゲートに電源が接続されたトランジスタQ25を介してビット線BLに接続され、ゲートとドレインに電源が接続されたトランジスタQ11はゲートに電源が接続されたトランジスタQ623を介してビット線バーBLに接続される。なお、他の構成は第1の実施例と同様であるため説明は省略する。

【0034】このように、構成しても第2の実施例同様、I/O線対I/O、バーI/Oのプリチャージ電位を従来より下げ、ほぼカレントミラー型センスアンプ3の最適感度領域にし、カレントミラー型センスアンプ3に高速に動作させることにより、読み出し時間の短縮化を図ることができる。

【0035】なお、これらの実施例では、SRAMを例に挙げたが、メモリセルの記憶データに基づきビット線対に電位差を生じさせ、該ビット線対の電位差をカレン

トミラー型センスアンプにより検出して増幅することにより読み出し動作を行うすべての半導体記憶装置において、この発明を適用することができる。

【0036】

【発明の効果】以上説明したように、この発明によれば、ビット線ロード部により、読み出し時に、カレントミラー型センスアンプの検出部である一方端及び他方端の電位が、カレントミラー型センスアンプの最適感度領域に近づくように、ビット線対のプリチャージ電位設定を行っており、カレントミラー型センスアンプは従来に比べ、高速に一方端と他方端の電位差を検出し増幅することができるため、カレントミラー型センスアンプによるセンス期間が短くなる分、読み出し期間を短縮することができる効果がある。

【図面の簡単な説明】

【図1】 この発明の第1の実施例であるSRAMの基本構成を示す回路図である。

【図2】 第1の実施例のSRAMの読み出し動作を示す

タイミング図である。

【図3】 この発明の第2の実施例であるSRAMの基本構成を示す回路図である。

【図4】 第2の実施例のSRAMの読み出し動作を示すタイミング図である。

【図5】 この発明の第3の実施例であるSRAMの基本構成を示す回路図である。

【図6】 従来のSRAMの基本構成を示す回路図である。

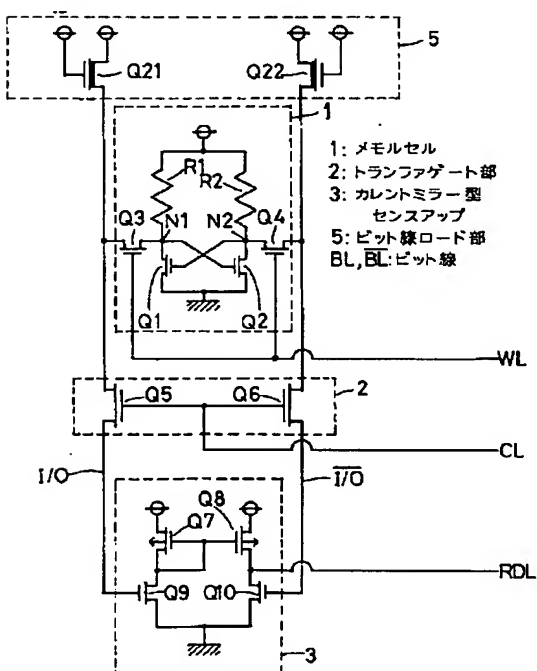
10 【図7】 図6で示したSRAMの読み出し動作を示すタイミング図である。

【図8】 理想的なSRAMの読み出し動作を示すタイミング図である。

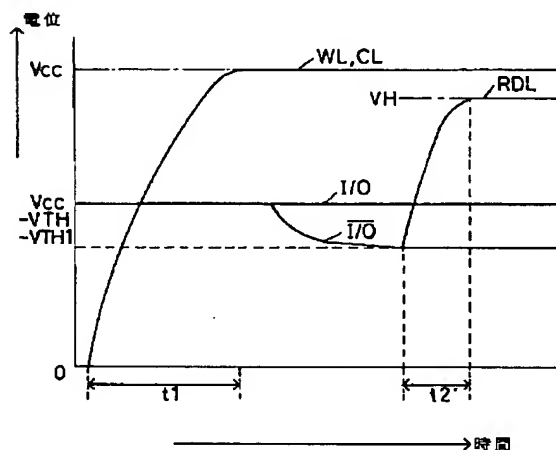
【符号の説明】

- 1 メモリセル
- 2 トランスファゲート部
- 3 カレントミラー型センスアンプ
- 5, 6, 7 ビット線ロード部

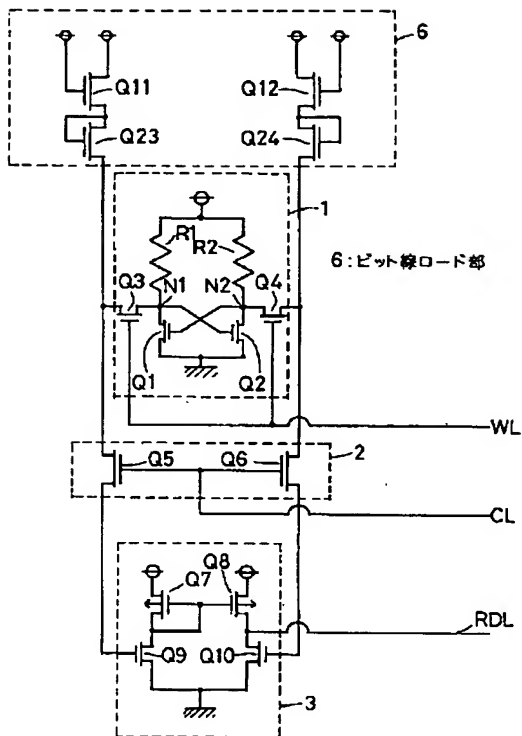
【図1】



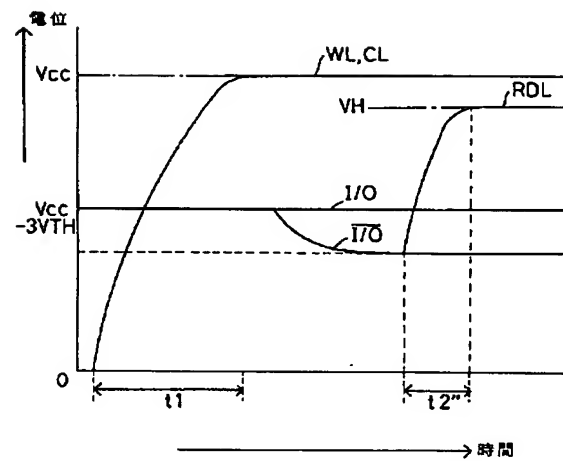
【図2】



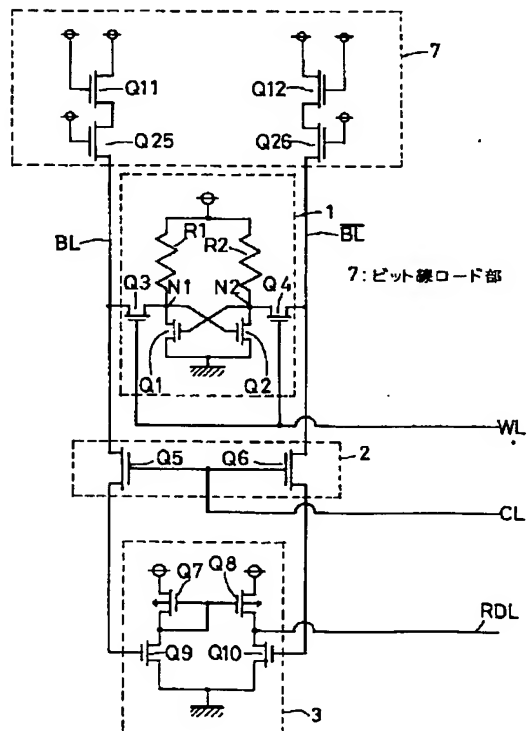
【図3】



【図4】



【図5】



統されるトランジスタQ1がオフする場合を示している。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】あらかじめ(図7で示すメモリセル選択開始期間 t_1 以前)、ワード線をLにした状態でコラム信号線CLを所定期間Hレベルにして、トランジスタQ5及びQ6をオンさせ、I/O線I/O、バーI/Oとビット線対BL、バーBLとを電氣的に接続することにより、I/O線I/O、バーI/Oの電位を($V_{cc}-2V_{TH}$)にプリチャージしておく。なお、 V_{TH} は、0.5V程度のNチャネルトランジスタQ1~Q6、Q9~Q12それぞれの閾値電圧を示す。つまり、I/O線I/Oが閾値電圧 V_{TH} のトランジスタQ11及びQ5を介してビット線ロード部4の電源に接続され、I/O線バーI/Oが閾値電圧 V_{TH} のトランジスタQ12及びQ6を介してビット線ロード部4の電源に接続されることにより、それぞれ($V_{cc}-2V_{TH}$)にプリチャージされる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】そして、メモリセル選択開始期間 t_1 において、ワード線WL及びコラム信号線CLを選択的にHレベルに立ち上げ、最終的にトランジスタQ3~Q6をオンさせ、ビット線対BL、バーBLと選択されたメモリセル1とを電氣的に接続するとともに、ビット線対BL、バーBLとI/O線I/O、バーI/Oとを電氣的に接続する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】メモリセル選択開始期間 t_1 の終了後、ビット線ロード部2から供給される電流が、ビット線バーBL、トランジスタQ4及びQ2を介して接地レベルに流れるため、ビット線バーBLの電位は徐々に低下し始める。このとき、トランジスタQ1はオフしているため、ビット線ロード部4からビット線BLを介して接地レベルに電流が流れず、ビット線BLの電位は変化しない。

い。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】あらかじめ(図2で示すメモリセル選択開始期間 t_1 以前)、ワード線WLをLにした状態でコラム信号線CLを所定期間Hレベルにして、トランジスタQ5及びQ6をオンさせ、I/O線I/O、バーI/Oとビット線対BL、バーBLとを電氣的に接続する。その結果、I/O線I/Oが閾値電圧 V_{TH1} のトランジスタQ21及び閾値電圧 V_{TH} のQ5を介してビット線ロード部4の電源に接続され、I/O線バーI/Oが閾値電圧 V_{TH1} のトランジスタQ22及び閾値電圧 V_{TH} のQ6を介してビット線ロード部4の電源 V_{cc} に接続されることにより、I/O線I/O、バーI/Oの電位は3.5V程度の($V_{cc}-V_{TH}-V_{TH1}$)にプリチャージされる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】そして、メモリセル選択開始期間 t_1 において、ワード線WL及びコラム信号線CLを選択的にHレベルに立ち上げ、最終的にトランジスタQ3~Q6をオンさせ、ビット線対BL、バーBLと選択されたメモリセル1とを電氣的に接続するとともに、ビット線対BL、バーBLとI/O線I/O、バーI/Oとを電氣的に接続する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】メモリセル選択開始期間 t_1 の終了後、ビット線ロード部6から供給される電流が、ビット線バーBL、トランジスタQ4及びQ2を介して接地レベルに流れるため、ビット線バーBLの電位は徐々に低下し始める。このとき、トランジスタQ1はオフしているため、ビット線ロード部4からビット線BLを介して接地レベルに電流が流れず、ビット線BLの電位は変化しない。